

## Patent

<b>Patent No</b>	463286	<b>Publication Date</b>	2001/11/11
<b>Application No</b>	088107493	<b>Filing Date</b>	1999/5/7
<b>Title</b>	Manufacturing method of trench-type capacitor		
<b>IPC</b>	H01L21/70		

## Author / Inventor

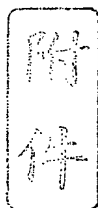
WEI, HUNG-JI (TW) ; JIN, WEI-SHANG (TW) ;

## Applicant

<b>Name</b>	<b>Country</b>	<b>Individual/Company</b>
MOSEL VITELIC INC.	TW	Company

## Patent Abstract

The present invention provides a manufacturing method of trench-type capacitor with sacrificial silicon nitride sidewall which includes the following steps: first, forming a deep trench in the semiconductor substrate; and, forming a TEOS silicon oxide layer in the trench and back etching to a suitable depth; remaining part of the TEOS silicon oxide layer in the trench and exposing the trench sidewall; conducting thermal oxidation process for forming an annular silicon oxide on the trench sidewall; then, forming a silicon nitride sidewall on the annular silicon oxide; using wet etching to remove the residual TEOS silicon oxide layer; using the silicon nitride sidewall as the barrier for etching the trench area for forming bottle trench shape to increase the surface area of the trench; next, forming a doped area in the trench and removing the silicon nitride sidewall; forming a dielectric film in the doped area, the annular silicon oxide and the substrate surface; then, depositing the first conductive layer on the dielectric film and filling into the trench; etching part of the first conductive layer and the dielectric film to expose part of the annular silicon oxide; using wet etching to remove the exposed annular silicon oxide; then, forming the second conductive layer on the first conductive layer and in the trench; and, back etching to the depth lower than the upper surface of the substrate.



四

中華民國專利公報 [19] [12]

[11]公告編號：463286

[44]中華民國 90年 (2001) 11月 11日

發明

全 5 頁

[51] Int.Cl<sup>07</sup> : H01L21/70

[54]名稱：溝渠式電容之製作方法

[21]申請案號：088107493

[22]申請日期：中華民國 88年 (1999) 05月 07日

[72]發明人：

魏鴻基

金惟上

宜蘭縣羅東鎮公正路二八四巷三十一號

台北市國興路十五之一號六樓

[71]申請人：

台灣茂矽電子股份有限公司

新竹科學工業園區新竹市研新一路一號

[74]代理人：蔡坤財 先生

1

[57]申請專利範圍：

1.一種溝渠式電容製作方法，該方法至少包含下列步驟：

定義一矽基材以形成溝渠區域於該矽基材中；

形成一氧化矽層於該矽基材上並填充於該溝渠區域內；

蝕刻該氧化矽層至第一高度以殘留部分該氧化矽層於該溝渠區域中，因而曝露出該溝渠區域中之部分溝渠側壁；

形成一環狀氧化矽層於該溝渠側壁上；

形成一氮化矽側壁於該環狀氧化矽層上；

除去殘留於溝渠區域中之該氧化矽層；

利用該氮化矽側壁作為蝕刻障壁，蝕刻該曝露的溝渠區域形成一具有較大表面積之新溝渠區域；

摻雜離子於該新溝渠區域，以形成該

2

溝渠式電容之第一儲存電極；

除去該氮化矽側壁；

形成一介電薄膜於該矽基材、該環狀氧化矽層及該第一儲存電極表面上；

5. 形成一第一導電層於該介電薄膜上並填充於該溝渠區域內；

蝕刻該第一導電層至第二高度並曝露出部分該環狀氧化矽層以定義該溝渠式電容之第二儲存電極；

10. 蝕刻曝露的該介電薄膜及部分該環狀氧化矽層；

形成第二導電層於該第一導電層上；及

回饋該第二導電層至第三高度。

15. 2.如申請專利範圍第1項之方法，其中上述之氧化矽層係由 TEOS 氧化矽所形成。

20. 3.如申請專利範圍第1項之方法，其中上述之環狀氧化矽層係利用熱氧化製程所形成。

(2)

3

- 4.如申請專利範圍第1項之方法，其中上述之蝕刻該曝露的溝渠區域之步驟係利用濕式蝕刻法。
- 5.如申請專利範圍第4項之方法，其中上述之濕式蝕刻法係利用  $\text{HNO}_3$  /  $\text{CH}_3\text{COOH}/\text{HF}/\text{DIH}_2\text{O}$  (去離子水) 溶液。
- 6.如申請專利範圍第1項之方法，其中上述之蝕刻該曝露的溝渠區域之步驟係利用乾式蝕刻法。
- 7.如申請專利範圍第6項之方法，其中上述之乾式蝕刻法係利用  $\text{HBr}/\text{Cl}_2$ 。
- 8.如申請專利範圍第1項之方法，其中上述之摻雜離子之步驟係利用氣相摻雜 (vapor-phase doping)。
- 9.如申請專利範圍第1項之方法，其中上述之摻雜離子之步驟係利用熱擴散方法。
- 10.如申請專利範圍第1項之方法，其中上述之摻雜離子係為砷離子 (arsenic ion) 或磷離子 (phosphoric ion)。
- 11.如申請專利範圍第1項之方法，其中上述之介電薄膜係選自下列物質，氮化物/氧化物雙層膜、氮化物/氮化物/氧化物三層膜、 $\text{Ta}_2\text{O}_5$ 、BST、PZT 以及 PLZT。
- 12.如申請專利範圍第1項之方法，其中上述之第一導電層、第二導電層係選自下列物質，摻雜多晶矽及同步摻雜多晶矽。
- 13.如申請專利範圍第1項之方法，其中上述之氮化矽側壁寬度約10至12nm。
- 14.如申請專利範圍第1項之方法，其中上述之第三高度低於該基材之上表面。
- 15.一種溝渠式電容製作方法，該方法至少包含下列步驟：  
定義一矽基材以形成溝渠區域於該矽基材中；  
形成一 TEOS 氧化矽層於該矽基材上並填充於該溝渠區域內；

4

5.

10.

15.

20.

25.

30.

35.

40.

- 蝕刻該 TEOS 氧化矽層至第一高度以殘留部分該氧化矽層於該溝渠區域中，因而曝露出該溝渠區域中之部分溝渠側壁；
- 進行熱氧化製程以形成一環狀氧化矽層於該溝渠側壁上；
- 形成一氮化矽側壁於該環狀氧化矽層上；
- 除去殘留於溝渠區域中之該 TEOS 氧化矽層；
- 摻雜離子於該溝渠區域，以形成該溝渠式電容之第一儲存電極；
- 利用該氮化矽側壁作為蝕刻障壁，蝕刻部分該第一儲存電極以形成一具有較大表面積之新溝渠區域；
- 除去該氮化矽側壁；
- 形成一介電薄膜於該矽基材、該環狀氧化矽層及該第一儲存電極表面上；
- 形成一第一導電層於該介電薄膜上並填充於該溝渠區域內；
- 蝕刻該第一導電層至第二高度並曝露出部分該環狀氧化矽層以定義該溝渠式電容之第二儲存電極；
- 蝕刻曝露的該介電薄膜及部分該環狀氧化矽層；
- 形成第二導電層於該第一導電層上；
- 及
- 回蝕該第二導電層至第三高度。
- 16.如申請專利範圍第15項之方法，其中上述之蝕刻該曝露的溝渠區域之步驟係利用濕式蝕刻法。
- 17.如申請專利範圍第16項之方法，其中上述之濕式蝕刻法係利用  $\text{HNO}_3$  /  $\text{CH}_3\text{GOOH}/\text{HF}/\text{DIH}_2\text{O}$  (去離子水) 溶液。
- 18.如申請專利範圍第15項之方法，其中上述之摻雜離子係為砷離子 (arsenic ion) 或磷離子 (phosphoric ion)。
- 19.如申請專利範圍第15項之方法，其中上述之氮化矽側壁寬度約10至12nm。
- 20.如申請專利範圍第15項之方法，其中

(3)

5

上述之第三高度低於該基材之上表面。

圖式簡單說明：

第一圖 A 為一半導體晶片截面圖，說明習知製程於基材上形成一溝渠結構之步驟；

第一圖 B 為一半導體晶片截面圖，說明習知製程於溝渠側壁上形成一環狀氧化矽層之步驟；

第一圖 C 為一半導體晶片截面圖，說明習知製程於溝渠結構上形成第三導電層之步驟；

第二圖為一半導體晶片截面圖，說明本發明於基材上形成一深溝渠區域之

6

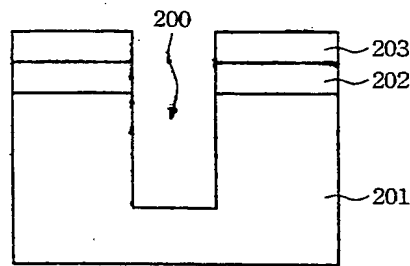
步驟；

第三圖為一半導體晶片截面圖，說明本發明於溝渠區域中熱氧化形成一環狀氧化矽層之步驟；

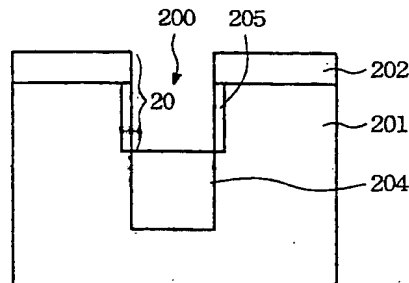
5. 第四圖為一半導體晶片截面圖，說明本發明於溝渠區域中形成一犧牲氮化矽側壁與第一儲存電極之步驟；

第五圖為一半導體晶片截面圖，說明本發明於新溝渠區域中形成一介電薄膜與第一導電層之步驟；及

第六圖為一半導體晶片截面圖，說明本發明於溝渠區域中形成第二導電層之步驟。

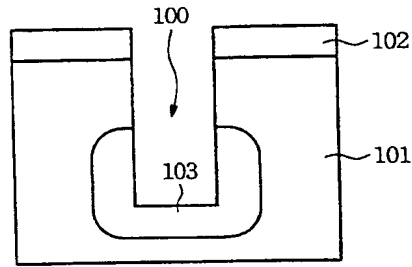


第二圖

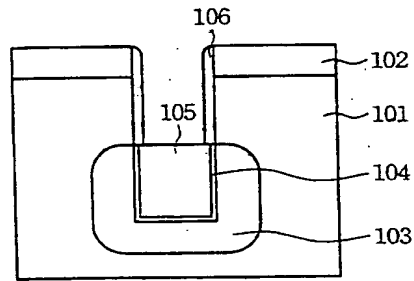


第三圖

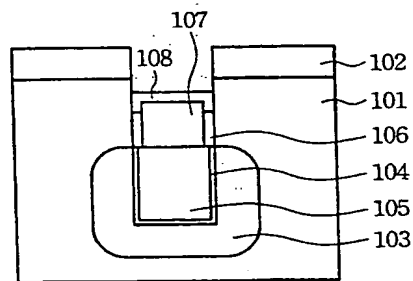
(4)



A



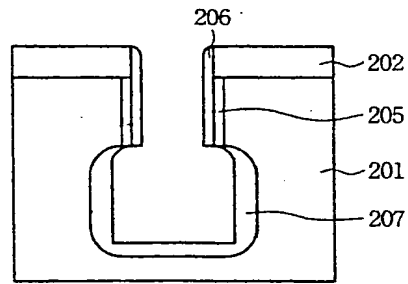
B



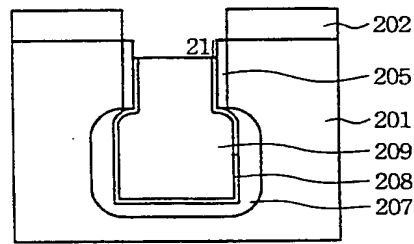
C

第一圖

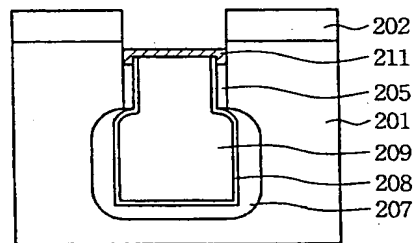
(5)



第四圖



第五圖



第六圖

# 公告本

申請日期	88. 5. 7
案 號	28707493
類 別	H01L 24/70

A4  
C4

463286

(以上各欄由本局填註)

## 發 明 專 利 說 明 書

一、發明 新型名稱	中 文	溝渠式電容之製作方法
	英 文	
二、發明 創作人	姓 名	一、魏 鴻 基 二、金 惟 上
	國 籍	一、中華民國 二、中華民國
	住、居所	一、宜蘭縣羅東鎮公正路 284 巷 31 號 二、台北市國興路 15-1 號 6 樓
三、申請人	姓 名 (名稱)	台灣茂矽電子股份有限公司
	國 籍	中華民國
	住、居所 (事務所)	新竹市科學工業園區新竹市研新一路一號
	代 表 人 姓 名	胡 洪 九

裝

訂

線

## 四、中文發明摘要(發明之名稱溝渠式電容之製作方法)

本發明係提供一種具有犧牲氮化矽側壁之溝渠式電容製作方法，首先，形成一深溝渠於半導體基材中，再形成一TEOS氧化矽層於溝渠中並回蝕至一適當深度，殘留部分TEOS氧化矽層於該溝渠中且曝露出溝渠側壁，以熱氧化製程形成一環狀氧化矽於該溝渠側壁，然後形成一氮化矽側壁於該環狀氧化矽上，以濕蝕刻除去殘留的TEOS氧化矽層，利用該氮化矽側壁為障壁蝕刻溝渠區域形成瓶狀溝渠結構(bottle shape)，以增加該溝渠表面積，接著於該溝渠形成一摻雜區，並除去該氮化矽側壁。形成一介電薄膜於該摻雜區、該環狀氧化矽及基材表面，隨即沉積第一導電層於該介電薄膜上並填充該溝渠內，蝕刻部分該第一導電層及該介電薄膜以曝露出部分環狀氧化矽，再以濕式蝕刻除去該曝露的環狀氧化矽，然後形成第二導電層於該第一導電層上及溝渠中，並回蝕至高度低於基材上表面以下。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線



## 五、發明說明( )

發明領域：

本發明係有關於一種溝渠式電容，特別是關於一種具有犧牲氮化矽側壁之溝渠式瓶狀電容製作方法，以增加電容表面積。

發明背景：

近年來，半導體記憶元件趨於高積集度及高封裝密度，電容所占的空間大幅縮小。因此較小的電極表面造成了電容量的下降，不過較大的電容量也必須處理在記憶胞內高雜訊輻射以及降低其軟性誤差（來自 $\alpha$ 粒子的干擾）等問題。因此縮小記憶胞尺寸而仍能保有高電容量為一明智之舉，並可由此達成記憶胞之高積集度與操作之可靠性。

最常用於 DRAM 記憶胞之電容為平面電容，且其製程並不困難，但非常微小的記憶胞，在使用上卻相當不可靠。一種增加電容量之方法為直接改變電容器電極形狀，並同時保有記憶胞之高積集度，此法中以多晶矽層形成電容之電極，或有突出、溝渠、鰭狀等等以增加電容電極之表面積，因此增加其電容量同時只佔據底材極小之面積。

為了一方面減小記憶體的尺寸且同時維持其電容

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

量，目前普遍使用三度空間之結構（例如渠溝電容）於記憶體元件內，此種電容的優點是其具有大電容量且具有平坦之結構表面。隨著溝渠之尺寸縮小至次微米，溝渠間之抵穿漏電流(punch through leakage)變成了溝渠式電容中一項重要之問題。一種傳統溝渠式電容製作方法，如"A 0.6  $\mu\text{m}^2$  256Mb Trench DRAM Cell With Self Aligned BuriEd STrap (BEST), L. Nesbit et al., 1993, IEEE, IEDM 93-627"。然而，此種方法無法製作具有較高之深寬比(aspect ratio)之深溝渠電容，以應用於高密度之DRAM。

傳統深溝渠電容之製作方法如第一 A 圖至第一 C 圖所示，請參考第一 A 圖，顯示一介電層 102 形成於一半導體基材 101 上方，並利用一乾蝕刻製程形成一溝渠區域 100 於該半導體基材中，當溝渠區域形成之後，利用擴散方法將砷或磷離子摻雜入該溝渠之下部區域以形成電容之 N 型第一儲存電極 103，形成一介電薄膜 104 於該溝渠儲存電極表面，接著沉積第一 n<sup>+</sup>多晶矽層 105 該介電層上且填充該溝渠內，然後回蝕該第一多晶矽層 105 至一適當深度以形成該溝渠式電容之第二儲存電極，接著用濕式蝕刻法將曝露出之介電薄膜 104 去除。請參閱第一 B 圖，一環狀氧化矽層 106 利用化學氣相沉積法沉積及回蝕形成於該溝渠之側壁上；接著，形成一第二多晶矽層 107 於該第一多晶矽層 105 上及填充於該溝渠中，然後回蝕至一適

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

當深度以定義後續第三多晶矽層 108 之深度，並曝露出部分環狀氧化矽層 106，接著以濕式蝕刻除去該曝露的環狀氧化矽層，沉積一第三多晶矽層 108 於該已回蝕之第二多晶矽層與環狀氧化矽層上方，最後經該第三多晶矽層 108 蝕刻至低於基材表面之高度，該第三多晶矽層 108之功能係用於電性連接溝渠式儲存電容與後續製程電晶體。

當 DRAM 的尺寸接近深次微米時，需要一種用來製造微小電容的新方法，因此具有較高電容量又不佔用平面面積之溝渠式電容之製造方法也更迫切地為業界所期待。因此本發明提出一種改進方法用以形成溝渠式電容，並利用一犧牲氮化矽側壁為一障壁蝕刻該溝渠以增加溝渠式電容之表面積，克服習知技術上之問題。

發明目的及概述：

本發明之目的為提供一種改進的方法用以形成一溝渠式電容。

本發明之另一目的為提供一種形成溝渠式電容之方法，其中具有一犧牲氮化矽側壁(silicon nitride sidewall)用以保護環狀氧化矽層。

形成一第一氮化矽層及厚氧化矽層於一半導體基材

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

上方，然後定義該第一氮化矽層及該氧化矽層用以蝕刻形成一深溝渠區域於該基材中，隨後，再利用濕式蝕刻法將最上層之氧化矽層除去，再利用傳統製程形成一 TEOS 氧化矽層於該第一氮化矽層上並填充於該溝渠區域內，利用乾式蝕刻法蝕刻該 TEOS 氧化矽層至第一高度以曝露出部分該溝渠區域內之基材側壁，並殘留部分 TEOS 氧化矽層於該溝渠區域中，然後進行一熱氧化製程以形成一環狀氧化矽層於溝渠區域內曝露的基材側壁上，再形成一第二氮化矽層於該第一氮化矽層、環狀氧化矽層及殘留的 TEOS 氧化矽層上方，利用等向性蝕刻法蝕刻該第二氮化矽層以形成一氮化矽側壁於該環狀氧化矽層上，隨後，利用濕式蝕刻法除去該殘留的 TEOS 氧化矽層。

當殘留的 TEOS 氧化矽層蝕刻除去之後，利用該氮化矽側壁為障壁蝕刻該溝渠區域，形成一新挖的溝渠區域，其中該新溝渠區域具有較大表面積，形成一摻質(dopant)層於該新溝渠區域中，用以將摻質離子摻雜於該新溝渠區域，成為該溝渠式電容之第一儲存電極。於另一較佳實施例中，當殘留的 TEOS 氧化矽層蝕刻除去之後，形成摻雜第一儲存電極，隨後蝕刻部分該第一儲存電極以產生該具有較大表面積之新溝渠區域。

然後除去該氮化矽側壁，接著沉積一介電薄膜於該第一儲存電極、環狀氧化矽層及該第一氮化矽層表面，並

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

沉積一第一導電層於該介電薄膜上及填充於該溝渠區域中作為該溝渠式電容之第二儲存電極，蝕刻該第一導電層及該介電薄膜至第二高度以曝露出部分環狀氧化矽層，並以濕式蝕刻法蝕刻該曝露的環狀氧化矽層，最後形成一第二導電層於該第一導電層之上並回蝕至高度低於該基材之上表面，以形成導體連接後續製程之電晶體。

圖示簡單說明：

上述之內容與此發明所伴隨而來之益處若以下列圖示予以詳細的描述將會更清晰明白：

第一 A 圖為一半導體晶片截面圖，說明習知製程於基材上形成一溝渠結構之步驟；

第一 B 圖為一半導體晶片截面圖，說明習知製程於溝渠側壁上形成一環狀氧化矽層之步驟；

第一 C 圖為一半導體晶片截面圖，說明習知製程於溝渠結構上形成第三導電層之步驟；

第二圖為一半導體晶片截面圖，說明本發明於基材上形成一深溝渠區域之步驟；

第三圖為一半導體晶片截面圖，說明本發明於溝渠區域中熱氧化形成一環狀氧化矽層之步驟；

第四圖為一半導體晶片截面圖，說明本發明於溝渠區域中形成一犧牲氮化矽側壁與第一儲存電極之步驟；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

第五圖 為一半導體晶片截面圖，說明本發明於新溝渠區域中形成一介電薄膜與第一導電層之步驟；及

第六圖 為一半導體晶片截面圖，說明本發明於溝渠區域中形成第二導電層之步驟。

發明詳細說明：

本發明揭露一種改進方法用以形成一溝渠式電容，其中具有一犧牲氮化矽側壁用以保護環狀氧化矽層避免被摻雜及蝕刻，依據本發明所製作之溝渠式電容結構詳見第二圖至第六圖所示。

請參考第二圖所示，首先提供一單晶 P 型矽基材 201，於較佳實施例中該基材具有  $\langle 100 \rangle$  之結晶方向，一氮化矽層 202 厚度約 2000 至 2500 Å，利用傳統低壓化學氣相沉積 (LPCVD) 或電漿化學氣相沉積 (PECVD) 形成於該矽基材 201 上方，接著，厚度約 7000 至 8000 Å 之氧化矽層 203 形成於該氮化矽層 202 上方，並圖案化以定義一深溝渠區域 200，該溝渠區域係利用乾式蝕刻法蝕刻該基材 201 至一預定深度，該溝渠區域深度約 7.0 至 8.0  $\mu\text{m}$ ，而寬度約 0.2 至 0.4  $\mu\text{m}$ ，然後以濕式蝕刻除去該厚氧化矽層 203。於此實施例中，形成深溝渠區域 200 之蝕刻製程最好為一標準電漿乾式蝕刻法或是一活性離子蝕刻法 (RIE)，這些製程為傳統且習知之製程，因此本發明不

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

再贅述。

接著請參考第三圖，形成一四乙基矽酸鹽氧化層 (TEOS oxide) 204 於該深溝渠區域 200 中及該氮化矽層 202 上，該 TEOS 氧化矽層 204 被蝕刻至第一高度 20，其深度約 1.3 至 1.6  $\mu\text{m}$ ，於此蝕刻製程中，溝渠區域 200 中之部分矽基材 201 將曝露出而形成溝渠側壁並殘留部分 TEOS 氧化矽層於該溝渠區域中，然後進行一熱氧化製程以形成一環狀氧化矽層 205 於溝渠區域中之側壁矽基材 201 上，熱氧化製程之溫度約 900 至 1050  $^{\circ}\text{C}$ ，而該環狀氧化矽層之寬度約 40 至 50 nm。

第四圖顯示形成一薄氮化矽層於上述氮化矽層 202、該環狀氧化矽層 205 及該 TEOS 氧化矽層 204 表面，並利用側壁間隙壁之蝕刻技術形成一氮化矽側壁 206 於溝渠區域 200 內，該氮化矽側壁 206 之寬度約 10 至 12 nm，用以避免覆蓋區域，如環狀氧化矽層 205，被氧化、摻雜或蝕刻，然後以濕式蝕刻法除去該殘留於溝渠區域中之 TEOS 氧化矽層 204，所使用之蝕刻劑為 BOE (buffer oxide etching) 溶液或稀釋氫氟酸 (HF) 溶液。隨後利用該氮化矽側壁為障壁蝕刻該溝渠區域，該製程係利用  $\text{HNO}_3$  /  $\text{CH}_3\text{COOH}$  /  $\text{HF}$  / DI  $\text{H}_2\text{O}$  (去離子水) 溶液濕式蝕刻或利用  $\text{HBr}/\text{Cl}_2$  乾式蝕刻，以形成具有較大表面積之新挖的瓶狀溝渠區域 (bottle shape)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

形成一 N 型摻雜區域 207 於該 P 型矽基材中，作為該溝渠式電容之第一儲存電極，其係藉由形成一薄矽摻雜 TEOS 或磷摻雜 TEOS 層於新挖開的溝渠區域 200 中，並利用回火法 (annealing) 使摻雜離子部分擴散入 P 型矽基材中，然後利用濕式蝕刻法除去該摻雜 TEOS 層及該氮化矽側壁 206，該氮化矽側壁 206 係利用熱磷酸 ( $H_3PO_3$ ) 溶液剝除。氣相磷摻雜 (vapor-phase phosphorus doping) 亦可用於形成 N 型摻雜區域 207，藉由氮化矽側壁 206 之遮蔽使得 N 型摻雜區域 207 僅形成於新溝渠區域，避免其過度擴散。

請繼續參考第四圖，於另一較佳實施例中，當該殘留的 TEOS 氧化矽層被蝕刻除去之後，形成一 N 型摻雜區域 207 於該 P 型矽基材中，作為該溝渠式電容之第一儲存電極，然後利用該氮化矽側壁 206 為障壁蝕刻部分該 N 型摻雜區域 207，形成瓶狀溝渠 (bottle shape)，以增加該溝渠區域之表面積，其中蝕刻該第一儲存電極之製程係利用  $HNO_3 / CH_3COOH / HF / DI H_2O$  (去離子水) 溶液濕式蝕刻或利用  $HBr / Cl_2$  乾式蝕刻，然後利用熱磷酸 ( $H_3PO_3$ ) 溶液剝除該氮化矽側壁 206。

其次請參考第五圖，該溝渠式電容之介電薄膜 208 均勻地沉積於氮化矽層 202、環狀氧化矽層 205 及該 N

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明( )

型摻雜區域 207 之表面上，一般該介電薄膜 208 使用氮化物/氧化物(NO)之雙層膜、氮化物/氮化物/氧化物(ONO)之三層膜或其他高絕緣性的材料，例如氧化鉬 ( $Ta_2O_5$ )、BST、PZT、PLZT 等，於一較佳實施例中，複合雙層膜氮化物/氧化物(NO)為介電薄膜 208 之使用材料，且習知 DRAM 電容製作方法中 NO 膜為一可靠性佳之介電膜。利用傳統 LPCVD 製程沉積一第一導電層 209 於該介電薄膜 208 上並填充於溝渠區域 200 中，該第一導電層 209 最好為摻雜多晶矽或同步摻雜多晶矽，蝕刻該第一導電層 209 至第二高度 21，其深度約 280 至 310 nm，因此曝露出部分介電薄膜 208，以濕式蝕刻法除去曝露的介電薄膜。

請參考第六圖，於除去曝露出的介電薄膜之後，將曝露出部分環狀氧化矽層 205，利用濕式蝕刻法剷除該曝露的環狀氧化矽層至低於該第二高度，該濕式蝕刻法對環狀氧化矽具有高靈敏度。沉積一第二導電層 211 於該第一導電層 209 上，然後回蝕至第三高度以形成一 BEST (buried strap)層，該第三高度低於矽基材之上表面，不需使用額外的光罩即可形成 BEST 層 211，其功能係用於電性連接溝渠式儲存電容與後續製程電晶體。上述第二導電層最好為摻雜多晶矽或同步摻雜多晶矽。

本發明提供具有犧牲氮化矽層之形成溝渠式電容製作方法，本發明揭示一種較簡單製程之製作方法用以形成

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明( )

一自行對準 BEST 層及一犧牲氧化矽側壁用以保護環狀氧化矽層，避免其被濕蝕刻，這些技術形成一具有高電容量及高效能之溝渠式電容。

本發明以一較佳實施例說明如上，僅用於藉以幫助了解本發明之實施，非用以限定本發明之精神，而熟悉此領域技藝者於領悟本發明之精神後，在不脫離本發明之精神範圍內，當可作些許更動潤飾及等同之變化替換，其專利保護範圍當視後附之申請專利範圍及其等同領域而定。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

1. 一種溝渠式電容製作方法，該方法至少包含下列步驟：

定義一矽基材以形成溝渠區域於該矽基材中；

形成一氧化矽層於該矽基材上並填充於該溝渠區域內；

蝕刻該氧化矽層至第一高度以殘留部分該氧化矽層於該溝渠區域中，因而曝露出該溝渠區域中之部分溝渠側壁；

形成一環狀氧化矽層於該溝渠側壁上；

形成一氮化矽側壁於該環狀氧化矽層上；

除去殘留於溝渠區域中之該氧化矽層；

利用該氮化矽側壁作為蝕刻障壁，蝕刻該曝露的溝渠區域形成一具有較大表面積之新溝渠區域；

摻雜離子於該新溝渠區域，以形成該溝渠式電容之第一儲存電極；

除去該氮化矽側壁；

形成一介電薄膜於該矽基材、該環狀氧化矽層及該第一儲存電極表面上；

形成一第一導電層於該介電薄膜上並填充於該溝渠區域內；

蝕刻該第一導電層至第二高度並曝露出部分該環狀氧化矽層以定義該溝渠式電容之第二儲存電極；

蝕刻曝露的該介電薄膜及部分該環狀氧化矽層；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

形成第二導電層於該第一導電層上；及  
回蝕該第二導電層至第三高度。

2.如申請專利範圍第1項之方法，其中上述之氧化矽層係由TEOS氧化矽所形成。

3.如申請專利範圍第1項之方法，其中上述之環狀氧化矽層係利用熱氧化製程所形成。

4.如申請專利範圍第1項之方法，其中上述之蝕刻該曝露的溝渠區域之步驟係利用濕式蝕刻法。

5.如申請專利範圍第4項之方法，其中上述之濕式蝕刻法係利用 $\text{HNO}_3$  /  $\text{CH}_3\text{COOH}$  /  $\text{HF}$  /  $\text{DI H}_2\text{O}$  (去離子水) 溶液。

6.如申請專利範圍第1項之方法，其中上述之蝕刻該曝露的溝渠區域之步驟係利用乾式蝕刻法。

7.如申請專利範圍第6項之方法，其中上述之乾式蝕刻法係利用 $\text{HBr}/\text{Cl}_2$ 。

8.如申請專利範圍第1項之方法，其中上述之摻雜離子之步驟係利用氣相摻雜(vapor-phase doping)。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

9.如申請專利範圍第1項之方法，其中上述之摻雜離子之步驟係利用熱擴散方法。

10.如申請專利範圍第1項之方法，其中上述之摻雜離子係為砷離子(arsenic ion)或磷離子(phosphoric ion)。

11.如申請專利範圍第1項之方法，其中上述之介電薄膜係選自下列物質，氮化物/氧化物雙層膜、氧化物/氮化物/氧化物三層膜、 $\text{Ta}_2\text{O}_5$ 、BST、PZT以及PLZT。

12.如申請專利範圍第1項之方法，其中上述之第一導電層、第二導電層係選自下列物質，摻雜多晶矽及同步摻雜多晶矽。

13.如申請專利範圍第1項之方法，其中上述之氮化矽側壁寬度約10至12 nm。

14.如申請專利範圍第1項之方法，其中上述之第三高度低於該基材之上表面。

15.一種溝渠式電容製作方法，該方法至少包含下列步驟：

定義一矽基材以形成溝渠區域於該矽基材中；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

形成一 TEOS 氧化矽層於該矽基材上並填充於該溝渠區域內；

蝕刻該 TEOS 氧化矽層至第一高度以殘留部分該氧化矽層於該溝渠區域中，因而曝露出該溝渠區域中之部分溝渠側壁；

進行熱氧化製程以形成一環狀氧化矽層於該溝渠側壁上；

形成一氮化矽側壁於該環狀氧化矽層上；

除去殘留於溝渠區域中之該 TEOS 氧化矽層；

摻雜離子於該溝渠區域，以形成該溝渠式電容之第一儲存電極；

利用該氮化矽側壁作為蝕刻障壁，蝕刻部分該第一儲存電極以形成一具有較大表面積之新溝渠區域；

除去該氮化矽側壁；

形成一介電薄膜於該矽基材、該環狀氧化矽層及該第一儲存電極表面上；

形成一第一導電層於該介電薄膜上並填充於該溝渠區域內；

蝕刻該第一導電層至第二高度並曝露出部分該環狀氧化矽層以定義該溝渠式電容之第二儲存電極；

蝕刻曝露的該介電薄膜及部分該環狀氧化矽層；

形成第二導電層於該第一導電層上；及

回蝕該第二導電層至第三高度。

(請先閱讀背面之注意事項再填寫本頁)

裝

線

## 六、申請專利範圍

16.如申請專利範圍第 15 項之方法，其中上述之蝕刻該曝露的溝渠區域之步驟係利用濕式蝕刻法。

17.如申請專利範圍第 16 項之方法，其中上述之濕式蝕刻法係利用  $\text{HNO}_3$  /  $\text{CH}_3\text{COOH}$  /  $\text{HF}$  /  $\text{DI H}_2\text{O}$  (去離子水) 溶液。

18.如申請專利範圍第 15 項之方法，其中上述之摻雜離子係為砷離子 (arsenic ion) 或磷離子 (phosphoric ion)。

19.如申請專利範圍第 15 項之方法，其中上述之氮化矽側壁寬度約 10 至 12 nm。

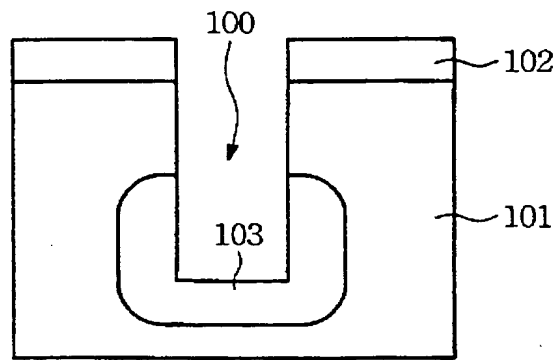
20.如申請專利範圍第 15 項之方法，其中上述之第三高度低於該基材之上表面。

(請先閱讀背面之注意事項再填寫本頁)

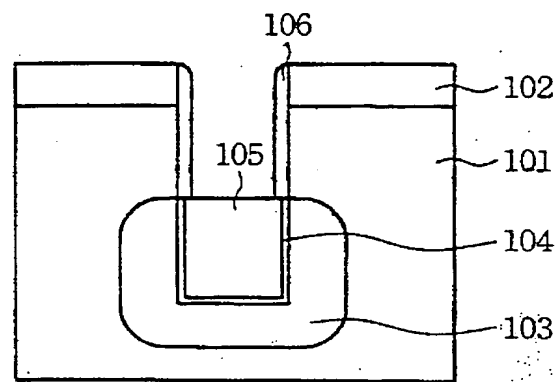
裝

訂

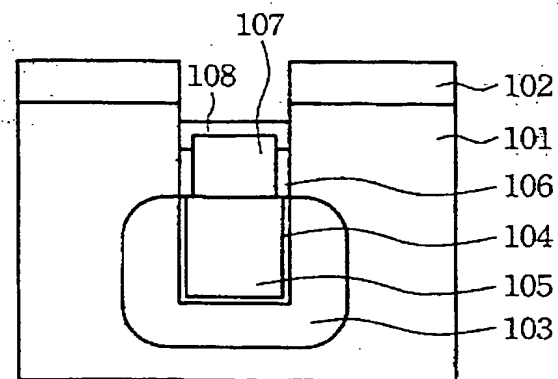
線



第一A圖

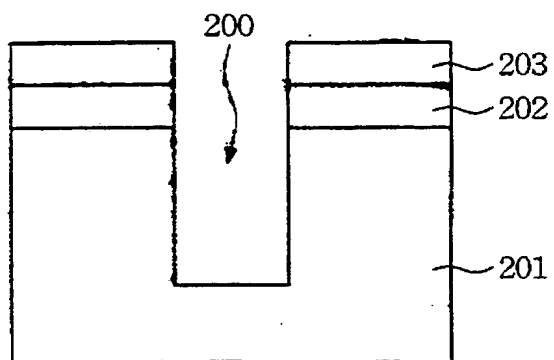


第一B圖

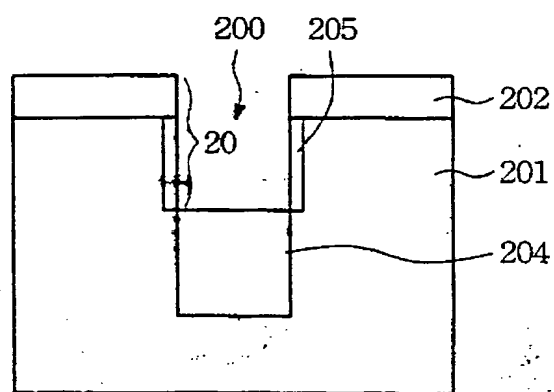


第一C圖

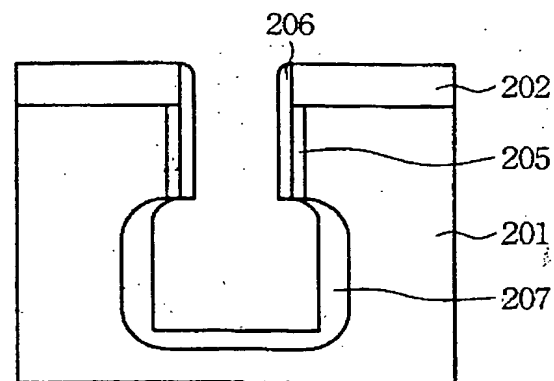




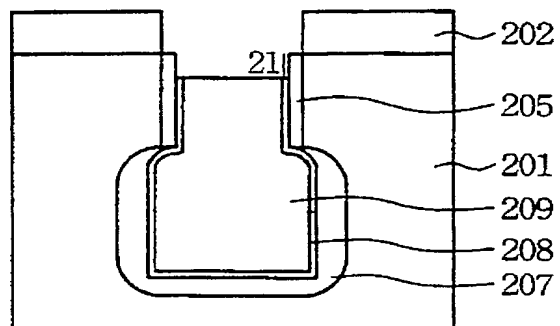
第二圖



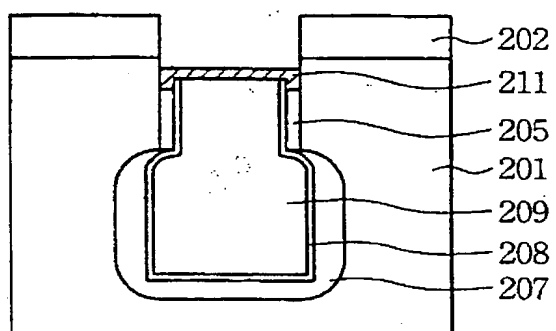
第三圖



第四圖



第五圖



第六圖

## 專利案件書目資料

---

【54】名稱：以環繞閘極DRAM概念製造閘極氧化物的方法

【51】國際專利分類Int. Cl 07: H01L21/8242

【21】申請案號：091120307

【22】申請日：中華民國 91 (2002) 年 09 月 05 日

【72】發明人：

伯納德 哥伯爾

BERND GOEBEL

彼得 莫爾

PETER MOLL

哈拉德 塞德爾

HARALD SEIDL

【71】申請人：

億恒科技公司

INFINEON TECHNOLOGIES  
AKTIENGESELLSCHAFT

德國

【74】代理人：陳長文 先生

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: \_\_\_\_\_

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**